

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

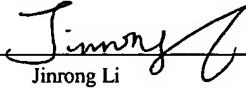
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Signature  
④ 2  
3-28-02

PATENT  
Docket No. 204552022100

CERTIFICATE OF HAND DELIVERY

I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on January 23, 2002.

  
Jinrong Li

J1017 U.S. PTO  
10/052519  
01/23/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Yasuaki HIRANO

Serial No.: to be assigned

Filing Date: January 23 2002

For: NONVOLATILE SEMICONDUCTOR  
MEMORY DEVICE CAPABLE OF  
PREVENTING OCCURRENCE OF  
LUTCHUP

Examiner: to be assigned

Group Art Unit: to be assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, Applicant hereby claims the benefit of the filing of Japanese patent application No. 2001-054270, filed February 28, 2001.


A certified copy of the priority document is attached to perfect Applicant's claim for priority.

It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicant petitions for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952.**

Dated: January 23, 2002

Respectfully submitted,

By:   
Barry E. Bretschneider  
Registration No. 28,055

Morrison & Foerster LLP  
2000 Pennsylvania Avenue, N.W.  
Washington, D.C. 20006-1888  
Telephone: (202) 887-1545  
Facsimile: (202) 263-8396

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1017 U.S. PTO  
10/052519  
01/23/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月28日

出 願 番 号

Application Number:

特願2001-054270

出 願 人

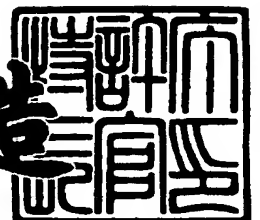
Applicant(s):

シャープ株式会社

2001年11月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3096907

【書類名】 特許願

【整理番号】 176213

【提出日】 平成13年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 14/00

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 平野 恭章

【特許出願人】

    【識別番号】 000005049

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100084146

    【弁理士】

    【氏名又は名称】 山崎 宏

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0003090

特 2 0 0 1 - 0 5 4 2 7 0

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ装置

【特許請求の範囲】

【請求項 1】 行線と列線とに接続された浮遊ゲート型電界効果トランジスタがマトリクス状に配置されたメモリアレイを備え、

上記浮遊ゲート型電界効果トランジスタは、

半導体基板の N 型ウェル内に設けられた P 型ウェル内に形成されたソース、ドレインと、

上記ソース、ドレイン間上に絶縁膜を介して形成された浮遊ゲートと、

上記浮遊ゲート上に絶縁膜を介して形成された制御ゲートと

を含み、

また、消去パルス印加時に上記 P 型ウェルに第 1 の電圧を印加するための第 1 の電圧印加手段と、

消去パルス印加時に上記 N 型ウェルに第 2 の電圧を印加するための第 2 の電圧印加手段とを備えたことを特徴とする不揮発性半導体メモリ装置。

【請求項 2】 請求項 1 に記載の不揮発性半導体メモリ装置において、

上記第 1 の電圧および第 2 の電圧は正電圧であり、上記第 2 の電圧は上記第 1 の電圧より高いことを特徴とする不揮発性半導体メモリ装置。

【請求項 3】 請求項 1 または 2 に記載の不揮発性半導体メモリ装置において、

上記第 1 の電圧印加手段は、上記第 1 の電圧を発生する第 1 の高電圧ポンプ回路であり、

上記第 2 の電圧印加手段は、上記第 2 の電圧を発生する第 2 の高電圧ポンプ回路であることを特徴とする不揮発性半導体メモリ装置。

【請求項 4】 請求項 1 または 2 に記載の不揮発性半導体メモリ装置において、

上記第 1 の電圧印加手段は、上記第 1 の電圧を発生する高電圧ポンプ回路であり、

上記第 2 の電圧印加手段は、上記第 1 の電圧を受けて上記第 1 の電圧よりも高

い上記第 2 の電圧を発生する補助ポンプ回路であることを特徴とする不揮発性半導体メモリ装置。

【請求項 5】 請求項 1 または 2 に記載の不揮発性半導体メモリ装置において、

上記第 2 の電圧印加手段は、上記第 1 の電圧よりも高い上記第 2 の電圧を発生する高電圧ポンプ回路であり、

上記第 1 の電圧印加手段は、上記第 2 の電圧を受けて上記第 2 の電圧よりも低い上記第 1 の電圧を発生するレギュレータ回路であることを特徴とする不揮発性半導体メモリ装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は不揮発性半導体メモリ装置に関する。

【 0 0 0 2 】

【従来の技術および発明が解決しようとする課題】

現在、最も一般的に用いられているフラッシュメモリは E T O X (Intel の登録商標) である。この E T O X 型フラッシュメモリセルの浮遊ゲート型電界効果トランジスタの模式的な断面図を図 9 に示している。この浮遊ゲート型電界効果トランジスタは、基板 7 1 に形成されたソース 7 3, ドレイン 7 4 と、そのソース 7 3, ドレイン間上にトンネル酸化膜 7 5 を介して形成された浮遊ゲート 7 6 と、さらに浮遊ゲート 7 6 上に層間絶縁膜 7 7 を介して形成された制御ゲート 7 8 とを有している。

【 0 0 0 3 】

以下、上記 E T O X タイプのフラッシュメモリの動作原理について述べる。下表 1 に、書き込み、消去および読み出し動作時の電圧条件を示す。



【表 1】

	制御ゲート	ドレイン	ソース	基板
書き込み	10 V	6 V / 0 V	0 V	0 V
消去	-9 V	OPEN	4 V	0 V
読み出し	5 V	1 V	0 V	0 V

## 【0004】

表 1 に示すように、書き込み動作時は、制御ゲート 7 8 に  $V_{pp}$  (例えば 10 V) を印加し、ソース 7 3 を基準電圧  $V_{ss}$  (例えば 0 V) にし、ドレイン 7 4 に 6 V の電圧を印加する。これにより、上記ソース 7 3, ドレイン 7 4 間のチャネル領域では、多くの電流が流れ、ドレインサイドの電界が高い部分で、ホットエレクトロンが発生し、浮遊ゲート 7 6 に電子が注入され、しきい値が上昇して、プログラム状態となる。このプログラム状態のしきい値を図 10 に示す。

## 【0005】

また、消去動作時には、制御ゲート 7 8 に  $V_{nn}$  (例えば -9 V)、ソース 7 3 に  $V_{pe}$  (例えば 4 V) を印加すると、浮遊ゲート 7 6 からソースサイドに電子が引き抜かれて、しきい値が低下して、イレース状態となる。このイレース状態のしきい値を図 10 に示す。

## 【0006】

このような消去動作時には、BTBT (Band To Band Tunneling) 電流が流れ、これと同時に、ホットホールおよびホットエレクトロンが発生する。それらのうちホットエレクトロンは基板方向に流れてしまう。一方、上記ホットホールは、トンネル酸化膜 7 5 側へ引かれ、トンネル酸化膜 7 5 内にトラップされる。この現象が一般的に、フラッシュメモリの信頼性を悪化させると言われている。

## 【0007】

また、読み出し動作時には、ドレイン 7 4 に 1 V を印加し、ソース 7 3 に 0 V を印加し、制御ゲート 7 8 に 5 V を印加する。このとき、上記しきい値の状態が図 10 に示すイレース状態でしきい値が低い場合、メモリセルに電流が流れ、“

1”と判定される一方、しきい値がプログラム状態でしきい値が高い場合、セルに電流が流れず、“0”と判定される。

【0008】

このような動作方式を用いた場合の問題点は、上述したように、消去動作時に発生するBTBT電流によりメモリセルの信頼性が低下する点である。この問題点を解決する手段の1つとしては、消去動作時に、BTBT電流が発生しないチャンネル消去がある。このチャンネル消去を用いる不揮発性半導体メモリ装置が、特開平11-39890号公報で開示されている。なお、特開平11-39890号公報において、書き込みと読み出し動作については上述した方法と同様に行われている。

【0009】

以下、上記チャンネル消去の動作原理を図11を用いて説明する。図11に示すように、各浮遊ゲート型電界効果トランジスタTrは、半導体基板110のN型ウェル111内に設けられたP型ウェル112内に形成されたソース113、ドレイン114と、このソース113、ドレイン114間上にトンネル酸化膜115を介して形成された浮遊ゲート116と、この浮遊ゲート116上に層間絶縁膜117を介して形成された制御ゲート118とを有している。なお、119はチャンネル領域である。

【0010】

消去動作時には、上記制御ゲート118に対してワード線WLを介してVnn（例えば-9V）を印加がされる。このとき、上記ソース113、P型ウェル112には、Vesc（例えば+6V）が印加される。これにより、上記浮遊ゲート型電界効果トランジスタTrのトンネル酸化膜115に強い電界が印加される。その結果、FN（ファウラー・ノーデハイム）トンネル現象が生じ、浮遊ゲート116の電子が引き抜かれて、しきい値が低下する。この場合の電圧印加条件を下表2にまとめる。

【表 2】

	制御ゲート	ドレイン	ソース	P型ウエル	N型ウエル
書き込み	10V	6V/0V	0V	0V	3V
消去	-9V	OPEN	6V (または OPEN)	6V	6V
読み出し	5V	1V	0V	0V	3V

## 【0011】

表2に示すように、消去動作時において、ソース113とP型ウエル112の電位が等しいので、ソース113とP型ウエル112の境界部では、電界が集中せず、BTBT電流は発生しない。その結果、ホットホールはトンネル酸化膜115にトラップされず、メモリセルの信頼性、つまり浮遊ゲート型電界効果トランジスタTrの信頼性が向上する。

## 【0012】

ここで、チャネル消去を行うための電圧供給回路について説明する。この電圧供給回路は、正電圧ポンプ回路101と負電圧ポンプ回路103とを備えている。上記正電圧ポンプ回路101は、基板110のN型ウエル111、P型ウエル112にウエル用スイッチ104を介して接続されている。一方、上記負電圧ポンプ回路103は、浮遊ゲート型電界効果トランジスタTrの制御ゲート118にローデコーダ回路RDを介して接続されている。その制御ゲート118とローデコーダ回路RDをワード線WLで接続している。

## 【0013】

上記構成の電圧供給回路によれば、消去動作が開始すると、負電圧ポンプ回路103が動作して、負電圧（例えば-9V）がワード線WLに出力される。つまり、上記制御ゲート118に-9Vが印加される。このとき、上記正電圧ポンプ回路101も動作しており、正電圧ポンプ回路101が出力した正電圧（例えば6V）がN型ウエル111、P型ウエル112に印加される。

## 【 0 0 1 4 】

図 1 2 に、上記ウエル用スイッチ 1 0 4 の回路図を示す。このウエル用スイッチ 1 0 4 は、NANDゲート 1 2 1、電圧レベルシフター 1 2 2、P型MOS (Metal Oxide Semiconductor) FET 1 2 3 およびN型MOSFET 1 2 4 からなる。このP型MOSFET 1 2 3 がErasesp信号によりオン状態になって、N型ウエル 1 1 1、P型ウエル 1 1 2 に 6 V が出力される。

## 【 0 0 1 5 】

そして、パルス印加が終了すると、P型ウエル 1 1 2 およびワード線WLの電圧を基準電圧 ( $V_{ss}$ ) にするシャットダウンシーケンスが実行される。具体的には、Erasesp信号がローになり、ワード線WLの電圧が基準電圧  $V_{ss}$  へフォースされ、P型ウエル 1 1 2 の電圧が基準電圧  $V_{ss}$  へフォースされる。

## 【 0 0 1 6 】

最後に、上記正電圧ポンプ回路 1 0 1 および負電圧ポンプ回路 1 0 3 を止める。このときのワード線WL、N型ウエル 1 1 1 およびP型ウエル 1 1 2 の電圧波形の一例を図 1 3 に示す。図 1 3 から判るように、ワード線WLの電圧 (図 1 3 ではワード線電圧と記す) が基準電圧  $V_{ss}$  へフォースされるタイミングにおいて、P型ウエル 1 1 2 の電圧 (図 1 3 ではP - well電圧と記す) は、6 V からさらに 2 V 程度上昇し、8 V 程度になっている。その後、上記P型ウエル 1 1 2 の電圧は 0 V にフォースされている。なお、図 1 3 のN - well電圧はN型ウエル 1 1 1 の電圧を示している。

## 【 0 0 1 7 】

このようなP型ウエル 1 1 2 の電圧変化により以下のような問題が発生する。

## 【 0 0 1 8 】

図 1 1 に示すように、上記ワード線WLには負電圧を供給するために負電圧ポンプ回路 1 0 3 が接続されており、消去動作時においてワード線WLに - 9 V を印加している。一方、上記P型ウエル 1 1 2 およびN型ウエル 1 1 1 には正の電圧を供給するために正電圧ポンプ回路 1 0 1 が接続されている。この場合、上記正電圧ポンプ回路 1 0 1 は 1 つで構成されており、P型ウエル 1 1 2 およびN型ウエル 1 1 1 には、消去動作時、6 V の電圧が印加されている。このようなワー

ド線WLとP型ウエル112との等価回路を図14に示す。図14から判るように、上記ワード線WLとP型ウエル112は、メモリセルつまり浮遊ゲート型電界効果トランジスタTrを介してカップリングしている。図14中のCwwにおいて、例えば、0.25μmレベルのフラッシュメモリの1ブロックは、

$$0.7 \text{ fF} \times 64 \times 8 \times 1024 = 367 \text{ pF}$$

となり、非常に大きなものになる。すなわち、カップリング比が大きくなる。これにより、上記ワード線WLの電圧が-9Vから基準電圧Vssへフォースされる時、P型ウエル112の電圧は、さらに高い電圧、例えば6Vから8Vとなるのである。このとき、上記N型ウエル111の電圧も6Vから7V付近まで上昇してしまう。その結果、上記P型ウエル112の電圧がN型ウエル111の電圧よりも高くなり、約8VのP型ウエル112と約7VのN型ウエル111との間で順方向電流が発生し、最悪、ラッチアップのトリガになる可能性があるという問題がある。

#### 【0019】

そこで、本発明の課題は、ラッチアップの発生を阻止できる高信頼性の不揮発性半導体メモリ装置を提供することにある。

#### 【0020】

##### 【課題を解決するための手段】

上記課題を解決するため、本発明の不揮発性半導体メモリ装置は、行線と列線とに接続された浮遊ゲート型電界効果トランジスタがマトリクス状に配置されたメモリアレイを備え、

上記浮遊ゲート型電界効果トランジスタは、

半導体基板のN型ウエル内に設けられたP型ウエル内に形成されたソース、ドレインと、

上記ソース、ドレイン間上に絶縁膜を介して形成された浮遊ゲートと、

上記浮遊ゲート上に絶縁膜を介して形成された制御ゲートとを含み、

また、消去パルス印加時に上記P型ウエルに第1の電圧を印加するための第1の電圧印加手段と、

消去パルス印加時に上記N型ウエルに第2の電圧を印加するための第2の電圧印加手段とを備えたことを特徴としている。

## 【0021】

上記構成の不揮発性半導体メモリ装置は、上記P型ウエルに第1の電圧を印加するための第1の電圧印加手段と、N型ウエルに第2の電圧を印加するための第2の電圧印加手段とを有するので、P型ウエルとN型ウエルに対して個別に電圧印加を行える。したがって、上記第1の電圧よりも第2の電圧を高くすると、P型ウエルからN型ウエルへ電流が流れない。つまり、上記P型ウエル、N型ウエル間における順方向電流の発生が阻止される。その結果、ラッチアップの発生を阻止することができ、信頼性を高かめることができる。

## 【0022】

一実施形態の不揮発性半導体メモリ装置は、上記第1の電圧および第2の電圧は正電圧であり、上記第2の電圧は上記第1の電圧より高い。

## 【0023】

上記一実施形態の不揮発性半導体メモリ装置によれば、上記P型ウエル、N型ウエルに印加する第1の電圧、第2の電圧が正電圧であるから、制御ゲートに負電圧、ソースに正電圧を印加することにより、浮遊ゲートの電子を、絶縁膜を介してトンネル動作させ、ソースおよびP型ウエル内に放電させることができる。

## 【0024】

また、消去動作時つまり消去パルス印加時には、上記第1の電圧印加手段を用いてP型ウエルに第1の電圧を印加し、第2の電圧印加手段を用いてN型ウエルに第2の電圧を印加する。このとき、上記第2の電圧が第1の電圧より高いから、P型ウエルからN型ウエルへ電流が流れない。つまり、上記P型ウエル、N型ウエル間における順方向電流の発生が阻止される。したがって、ラッチアップの発生を阻止することができ、信頼性を高かめることができる。

## 【0025】

また、一実施形態の不揮発性半導体メモリ装置は、上記第1の電圧印加手段は、上記第1の電圧を発生する第1の高電圧ポンプ回路であり、上記第2の電圧印加手段は、上記第2の電圧を発生する第2の高電圧ポンプ回路である。

## 【 0 0 2 6 】

また、一実施形態の不揮発性半導体メモリ装置は、上記第 1 の電圧印加手段は、上記第 1 の電圧を発生する高電圧ポンプ回路であり、上記第 2 の電圧印加手段は、上記第 1 の電圧を受けて上記第 1 の電圧よりも高い上記第 2 の電圧を発生する補助ポンプ回路である。

## 【 0 0 2 7 】

上記一実施形態の不揮発性半導体メモリ装置によれば、上記高電圧ポンプ回路と補助ポンプ回路を用いているので、ポンプレイアウト面積を極めて小さくすることができる。

## 【 0 0 2 8 】

また、一実施形態の不揮発性半導体メモリ装置は、上記第 2 の電圧印加手段は、上記第 1 の電圧よりも高い上記第 2 の電圧を発生する高電圧ポンプ回路であり、上記第 1 の電圧印加手段は、上記第 2 の電圧を受けて上記第 2 の電圧よりも低い上記第 1 の電圧を発生するレギュレータ回路である。

## 【 0 0 2 9 】

上記一実施形態の不揮発性半導体メモリ装置によれば、上記高電圧回路とレギュレート回路を用いているので、ポンプレイアウト面積を極めて小さくすることができる。

## 【 0 0 3 0 】

## 【発明の実施の形態】

以下、本発明の不揮発性半導体メモリ装置を図示の実施の形態により詳細に説明する。

## 【 0 0 3 1 】

## （第 1 の実施の形態）

図 1 に、本発明の第 1 の実施の形態の不揮発性半導体メモリ装置の回路図に概略を示している。

## 【 0 0 3 2 】

上記不揮発性半導体メモリ装置は、図 1 に示すように、浮遊ゲート型電界効果トランジスタ  $T_r$  がマトリクス状に配置されたメモリアレイ  $MA$  を備えている。

この浮遊ゲート型電界効果トランジスタ $T_r$ は、行線としてのワード線 $WL_0$ ,  $WL_1$ , ...,  $WL_{1023}$ と、列線としてのビット線 $BL_0$ ,  $BL_1$ , ...,  $BL_{511}$ とに接続されている。そして、上記ワード線 $WL_0$ ,  $WL_1$ , ...,  $WL_{1023}$ の一端はローデコーダ回路 $RD$ に接続され、ビット線 $BL_0$ ,  $BL_1$ , ...,  $BL_{511}$ の一端はコラムデコーダ $CD$ に接続されている。また、上記浮遊ゲート型電界効果トランジスタ $T_r$ はソース線 $SL$ を介してソース用スイッチ $6$ に接続されている。このソース用スイッチ $6$ は、図 $3$ に示すように、 $NAND$ ゲート $31$ 、増幅器 $32$ 、 $P$ 型 $MOSFET$  $33$ および $N$ 型 $MOSFET$  $34$ を有している。上記 $P$ 型 $MOSFET$  $33$ と $N$ 型 $MOSFET$  $34$ との間は、浮遊ゲート型電界効果トランジスタ $T_r$ のソースに接続される。

## 【0033】

上記浮遊ゲート型電界効果トランジスタ $T_r$ は、図 $2$ に示すように、 $P$ 型半導体基板 $10$ の $N$ 型ウェル $11$ 内に設けられた $P$ 型ウェル $12$ 内に形成されたソース $13$ 、ドレイン $14$ と、このソース $13$ 、ドレイン $14$ 間上に絶縁膜としてのトンネル酸化膜 $15$ を介して形成された浮遊ゲート $16$ と、この浮遊ゲート $16$ 上に絶縁膜としての層間絶縁膜 $17$ を介して形成された制御ゲート $18$ とを有している。

## 【0034】

下表 $3$ に、上記不揮発性半導体メモリ装置の書き込み、消去および読み出し動作時の電圧条件を示す。

【表 3】

	制御ゲート	ドレイン	ソース	$P$ 型ウェル	$N$ 型ウェル
書き込み	$10V$	$6V/0V$	$0V$	$0V$	$3V$
消去	$-9V$	OPEN	$6V$ (または OPEN)	$6V$	$9V$
読み出し	$5V$	$1V$	$0V$	$0V$	$3V$



## 【 0 0 3 5 】

表 3 に示すように、書き込み時、読み出し動作時に印加される電圧条件は従来の表 2 の場合と同じであるが、消去動作時の電圧条件は、ドレイン 1 4 をオープン状態にし、ソース 1 3、P 型ウエル 1 2 に第 1 の電圧としての例えば 6 V を印加する。図示していないが、ソース電圧は OPEN 状態でも良い。このとき、上記制御ゲート 1 8 に - 9 V を印加すると共に、N 型ウエル 1 1 に第 2 電圧としての例えば 9 V を印加する。これにより、上記浮遊ゲート 1 6 から電子が引き抜かれて、しきい値が低下する。

## 【 0 0 3 6 】

このような消去動作の電圧条件を実現するための一例の消去回路は、図 2 に示すように、ローデコーダ回路 R D を介してワード線 W L に負電圧である - 9 V を印加するための負電圧ポンプ回路 3 を有している。また、上記 P 型ウエル 1 2 に 6 V を印加するための第 1 の電圧印加手段である第 1 の高電圧ポンプ回路 1 が存在すると共に、N 型ウエル 1 1 に 9 V を印加するための第 2 の電圧印加手段である第 2 の高電圧ポンプ回路 2 が存在する。上記第 1 の高電圧ポンプ回路 1 は P 型ウエル用スイッチ 4 を介して P 型ウエル 1 2 に接続され、上記第 2 の高電圧ポンプ回路 2 は N 型ウエル用スイッチ 5 を介して N 型ウエル 1 1 に接続されている。

## 【 0 0 3 7 】

上記第 1 の高電圧ポンプ回路 1 は 6 V を出力し、P 型ウエル用スイッチ 4 を通して P 型ウエル 1 2 に 6 V の電圧を印加する。その P 型ウエル用スイッチ 4 は、図 4 に示すように、NAND ゲート 4 1、増幅器 4 2、P 型 MOSFET 4 3 および N 型 MOSFET 4 4 を有している。この P 型 MOSFET 4 3、N 型 MOSFET 4 4 間と P 型ウエル 1 2 とが接続されている。消去されるべきブロックが選択されると、Blksel がハイとなり、消去コマンドが入力され、消去パルス印加信号である Erasesp 信号がハイとなる。これにより、そのブロックの P 型ウエル 1 2 に  $V_{pe}$  電圧つまり 6 V が出力される。

## 【 0 0 3 8 】

一方、上記第 2 の高電圧ポンプ回路 2 は 9 V を出力し、N 型ウエル用スイッチ 5 を通して N 型ウエル 1 1 に電圧 9 V を印加する。上記 N 型ウエル用スイッチ 5

は、図5に示すように、NANDゲート51、増幅器52、54、P型MOSFET53およびN型MOSFET55を有している。消去されるべきブロックが選択されるとBlkselがハイとなり、消去パルス印加信号であるErasesp信号がハイとなって、そのブロックのN型ウエル11にVpp(9V)が出力される。

## 【0039】

そして、パルス印加が終了すると、P型ウエル12およびワード線WLの電圧を基準電圧Vss(0V)にするシャットダウンシーケンスが実行される。そうすると、P型ウエル用スイッチ4のErasesp信号がローになり、ワード線WLが基準電圧Vssへフォースされ、P型ウエル12が基準電圧Vssへフォースされる。

## 【0040】

最後に、上記第1の高電圧ポンプ回路1、第2の高電圧ポンプ回路2および負電圧ポンプ回路3が止められる。このときのワード線WL、P型ウエル12およびN型ウエル11の電圧の波形の一例を図6に示す。図6から判るように、上記ワード線WLの電圧(図6ではワード線電圧と記す)が-9Vから基準電圧Vssへフォースされるタイミングでは、P型ウエル12の電圧(図6ではP-wel11電圧と記す)は、6Vからさらに2V程度高くなり、8V程度になった後、基準電圧Vssにフォースされている。このとき、上記P型ウエル12とN型ウエル11がカップリングしているために、P型ウエル12の電圧が6Vから8Vになるのに伴い、N型ウエル11の電圧(図6ではN-wel11電圧と記す)が9Vから10Vになる。

## 【0041】

このように、常に、上記N型ウエル11の電圧の方が、P型ウエル12の電圧よりも高いので、P型ウエル12とN型ウエル11との間で順方向電流が流れない。その結果、ラッチアップのトリガの発生を阻止することができ、信頼性が高くなる。

## 【0042】

上記第1の実施の形態では、消去動作時、制御ゲート18に-9V、ソースに6V、P型ウエル12に6V、N型ウエル11に9Vを出力したが、制御ゲート

18、ソース13、P型ウエル12およびN型ウエル11に出力する電圧はこれに限定されない。上記P型ウエル12およびN型ウエル11に出力する電圧は正電圧であればよく、N型ウエル11に印加する電圧が、P型ウエル12に印加する電圧よりも高ければよい。

## 【0043】

(第2の実施の形態)

図7は、本発明の第2の実施の形態の不揮発性半導体メモリ装置の概略構成図である。なお、本実施形態において、図2と同一構成部には同一番号を付して説明を省略する。

## 【0044】

上記不揮発性半導体メモリ装置において、書き込み、消去および読み出し動作での印加電圧条件は、上記第1の実施の形態で述べたものと同一条件である。上記第1の実施の形態と異なる点は消去回路の構成である。

## 【0045】

以下、上記不揮発性半導体メモリ装置の消去回路について説明する。

## 【0046】

上記消去回路は、図7に示すように、ローデコーダ回路RDを介してワード線WLに負の電圧の $-9V$ を印加するための負電圧ポンプ回路3を有している。一方、ウエル側は、P型ウエル12に第1の電圧としての $6V$ を印加するための第1の電圧印加手段である高電圧ポンプ回路71が存在すると共に、N型ウエル11に第2の電圧としての $9V$ を印加するための第2の電圧印加手段である補助ポンプ回路72が存在する。そして、上記高電圧ポンプ回路71はP型ウエル用スイッチ4を介してP型ウエル12に接続されている。また、上記高電圧ポンプ回路71とP型ウエル用スイッチ4との間を、補助ポンプ回路72、N型ウエル用スイッチ5を介してN型ウエル11に接続している。上記補助ポンプ回路72は、高電圧ポンプ回路71の出力電圧を受け、その出力電圧をさらに高めてN型ウエル11に出力する。

## 【0047】

上記高電圧ポンプ回路71は $6V$ を出力し、P型ウエル用スイッチ4を通して

P型ウエル12に6Vが出力される。消去されるべきブロックが選択されると、P型ウエル用スイッチ4では、図4に示すように、Blkselがハイとなり、消去コマンドが入力され、消去パルス印加信号であるErasesp信号がハイとなる。これにより、そのブロックのP型ウエル12に $V_{pe}$ 電圧つまり6Vが出力される。

【0048】

一方、上記補助ポンプ回路72は、入力電圧として高電圧ポンプ回路71の出力電圧6Vを用い、その6Vを高めて9Vを出力する。そうすると、上記N型ウエル用スイッチ5を通してN型ウエル11に電圧9Vが印加される。消去されるべきブロックが選択されると、上記N型ウエル用スイッチ5では、図5に示すように、Blkselがハイとなり、消去パルス印加信号であるErasesp信号がハイとなる。これにより、そのブロックのN型ウエル11に $V_{pp}$ 電圧つまり9Vが出力される。

【0049】

そして、パルス印加が終了すると、P型ウエル12およびワード線12の電圧を基準電圧 $V_{ss}$  (0V) にするシャットダウンシーケンスが実行される。そうすると、上記P型ウエル用スイッチ5のErasesp信号がローになり、ワード線WLの電圧が基準電圧 $V_{ss}$ へフォースされ、P型ウエルが基準電圧 $V_{ss}$ へフォースされる。

【0050】

最後に、上記高電圧ポンプ回路71、補助ポンプ回路72および負電圧ポンプ回路72が止められる。このときのワード線WL、P型ウエル12およびN型ウエル11の電圧の波形の一例を図6に示す。図6から判るように、上記ワード線WLの電圧が-9Vから基準電圧 $V_{ss}$ へフォースされるタイミングでは、P型ウエル12の電圧は、6Vからさらに2V程度高くなり、8V程度になった後、基準電圧 $V_{ss}$ にフォースされている。このとき、上記P型ウエル12とN型ウエル11がカップリングしているために、P型ウエル12の電圧が6Vから8Vになるのに伴い、N型ウエル11の電圧が9Vから10Vになる。

【0051】

このように、常に、上記N型ウエル11の電圧の方が、P型ウエル12の電圧

よりも高いので、P型ウエル12とN型ウエル11との間で順方向電流が流れない。その結果、ラッチアップのトリガの発生を阻止することができ、信頼性が高くなる。

## 【0052】

また、上記高電圧ポンプ回路71，補助ポンプ回路72を用いているので、ポンプレイアウト面積を極めて小さくすることができる。

## 【0053】

上記第2の実施の形態では、消去動作時、制御ゲート18に-9V、ソースに6V、P型ウエル12に6V、N型ウエル11に9Vを出力したが、制御ゲート18、ソース13、P型ウエル12およびN型ウエル11に出力する電圧はこれに限定されない。上記P型ウエル12およびN型ウエル11に出力する電圧は正電圧であればよく、N型ウエル11に印加する電圧が、P型ウエル12に印加する電圧よりも高ければよい。

## 【0054】

(第3の実施の形態)

図8は、本発明の第3の実施の形態の不揮発性半導体メモリ装置の概略構成図である。なお、本実施形態において、図2と同一構成部には同一番号を付して説明を省略する。

## 【0055】

上記不揮発性半導体メモリ装置において、書き込み、消去および読み出し動作での印加電圧条件は、上記第1の実施の形態で述べたものと同一条件である。上記第1の実施の形態と異なる点は消去回路の構成である。

## 【0056】

以下、上記不揮発性半導体メモリ装置の消去回路について説明する。

## 【0057】

上記消去回路は、図8に示すように、ローデコーダ回路RDを介してワード線WLに負の電圧の-9Vを印加するための負電圧ポンプ回路3を有している。一方、ウエル側は、P型ウエル12に第1の電圧としての6Vを印加するための第1の電圧印加手段であるレギュレータ回路81が存在すると共に、N型ウエル1

1 に第 2 の電圧としての 9 V を印加するための第 2 の電圧印加手段である高電圧ポンプ回路 8 2 が存在する。この高電圧ポンプ回路 8 2 は、N ウエル用スイッチ 5 を介して N 型ウエル 1 1 に接続されている。また、上記高電圧ポンプ回路 8 2 と N 型ウエル 5 との間を、レギュレータ回路 8 1、P 型ウエル用スイッチ 4 を介して P 型ウエル 1 2 に接続している。上記レギュレータ回路 8 1 は、高電圧ポンプ回路 8 2 の出力電圧を受けて、その出力電圧より低い電圧を P 型ウエル 1 2 に出力する。そのレギュレータ回路 8 1 の出力電圧は一定になるように制御されている。

## 【 0 0 5 8 】

上記高電圧ポンプ回路 8 2 は 9 V を出力し、N 型ウエル用スイッチ 5 を通して N 型ウエル 1 1 に電圧 9 V を印加する。消去されるべきブロックが選択されると、N 型ウエル用スイッチ 5 では、図 5 に示すように、Blksel がハイとなり、消去コマンドが入力され、消去パルス印加信号である Erasesp 信号がハイとなる。これにより、そのブロックの N 型ウエル 1 1 に  $V_{pp}$  電圧つまり 9 V が出力される。

## 【 0 0 5 9 】

一方、上記レギュレータ回路 8 1 は、高電圧ポンプ回路 8 2 の出力電圧 9 V を受け、その出力電圧 9 V をレギュレートした電圧 6 V を、P 型ウエル用スイッチ 4 を介して P 型ウエル 1 2 に出力する。消去されるべきブロックが選択されると、上記 P 型ウエル用スイッチ 4 では、図 4 に示すように、Blksel がハイとなり、消去パルス印加信号である Erasesp 信号がハイとなる。これにより、そのブロックの P 型ウエル 1 2 に  $V_{pe}$  電圧つまり 6 V が出力される。

## 【 0 0 6 0 】

そして、パルス印加が終了すると、P 型ウエル 1 2 およびワード線 WL の電圧を基準電圧  $V_{ss}$  (0 V) にするシャットダウンシーケンスが実行される。そうすると、上記 P 型ウエル用スイッチ 4 の Erasesp 信号がローになり、ワード線 WL の電圧が基準電圧  $V_{ss}$  へフォースされ、P 型ウエル 1 2 の電圧が基準電圧  $V_{ss}$  へフォースされる。

## 【 0 0 6 1 】

最後に、上記高電圧ポンプ回路 8 2 および負電圧ポンプ回路 3 が止められる。

このときのワード線WL、P型ウエル12およびN型ウエル11の電圧の波形の一例を図6に示す。図6から判るように、上記ワード線WLの電圧が-9Vから基準電圧 $V_{ss}$ へフォースされるタイミングでは、P型ウエル12の電圧は、6Vからさらに2V程度高くなり、8V程度になった後、基準電圧 $V_{ss}$ にフォースされている。このとき、上記P型ウエル12とN型ウエル11がカップリングしているために、P型ウエル12の電圧が6Vから8Vになるのに伴い、N型ウエル11の電圧が9Vから10Vになる。

## 【0062】

このように、常に、上記N型ウエル11の電圧の方が、P型ウエル12の電圧よりも高いので、P型ウエル12とN型ウエル11との間で順方向電流が流れない。その結果、ラッチアップのトリガの発生を阻止することができ、信頼性を向上させることができる。

## 【0063】

また、上記高電圧ポンプ回路82、レギュレータ回路81を用いているので、ポンプレイアウト面積を極めて小さくすることができる。

## 【0064】

上記第3の実施の形態では、消去動作時、制御ゲート18に-9V、ソースに6V、P型ウエル12に6V、N型ウエル11に9Vを出力したが、制御ゲート18、ソース13、P型ウエル12およびN型ウエル11に出力する電圧はこれに限定されない。上記P型ウエル12およびN型ウエル11に出力する電圧は正電圧であればよく、N型ウエル11に印加する電圧が、P型ウエル12に印加する電圧よりも高ければよい。

## 【0065】

## 【発明の効果】

以上より明らかなように、本発明の不揮発性半導体メモリ装置は、P型ウエルに第1の電圧を印加するための第1の電圧印加手段と、N型ウエルに第2の電圧を印加するための第2の電圧印加手段とを有するので、P型ウエルとN型ウエルに対して個別に電圧印加を行える。したがって、上記第1の電圧よりも第2の電圧を高くすると、P型ウエル、N型ウエル間における順方向電流の発生せず、ラ

タッチアップの発生を阻止することができ、信頼性を高かめることが可能である。

【0066】

一実施形態の不揮発性半導体メモリ装置は、上記P型ウエル、N型ウエルに印加する第1の電圧、第2の電圧が正電圧であるから、制御ゲートに負電圧、ソースに正電圧を印加することにより、浮遊ゲートの電子を、絶縁膜を介してトンネル動作させ、ソースおよびP型ウエル内に放電させることができる。

【0067】

また、上記第2の電圧が第1の電圧より高いから、チャネル消去を行っても、P型ウエル、N型ウエル間における順方向電流の発生せず、タッチアップの発生を阻止することができ、信頼性を高かめることができる。

【図面の簡単な説明】

【図1】 図1は本発明の第1の実施の形態の不揮発性半導体メモリ装置の模式回路図である。

【図2】 図2は上記第1の実施の形態の不揮発性半導体メモリ装置の概略構成図である。

【図3】 図3は上記第1の実施の形態の不揮発性半導体メモリ装置のソース用スイッチの模式回路図である。

【図4】 図4は上記第1の実施の形態の不揮発性半導体メモリ装置のP型ウエル用スイッチの模式回路図である。

【図5】 図5は上記第1の実施の形態の不揮発性半導体メモリ装置のN型ウエル用スイッチの模式回路図である。

【図6】 図6は上記第1の実施の形態の不揮発性半導体メモリ装置のワード線、N型ウエルおよびP型ウエルの電圧波形を示すグラフである。

【図7】 図7は本発明の第2の実施の形態の不揮発性半導体メモリ装置の概略構成図である。

【図8】 図8は本発明の第3の実施の形態の不揮発性半導体メモリ装置の概略構成図である。

【図9】 図9は従来の不揮発性半導体メモリ装置の浮遊ゲート型電界効果トランジスタの要部の模式断面図である。



【図 1 0】 図 1 0 は上記浮遊ゲート型電界効果トランジスタのしきい値分布を示すグラフである。

【図 1 1】 図 1 1 は上記従来の不揮発性半導体メモリ装置の概略構成図である。

【図 1 2】 図 1 2 は上記従来の不揮発性半導体メモリ装置のウエル用スイッチの模式回路図である。

【図 1 3】 図 1 3 は上記従来の不揮発性半導体メモリ装置のワード線、N型ウエルおよびP型ウエルの電圧波形を示すグラフである。

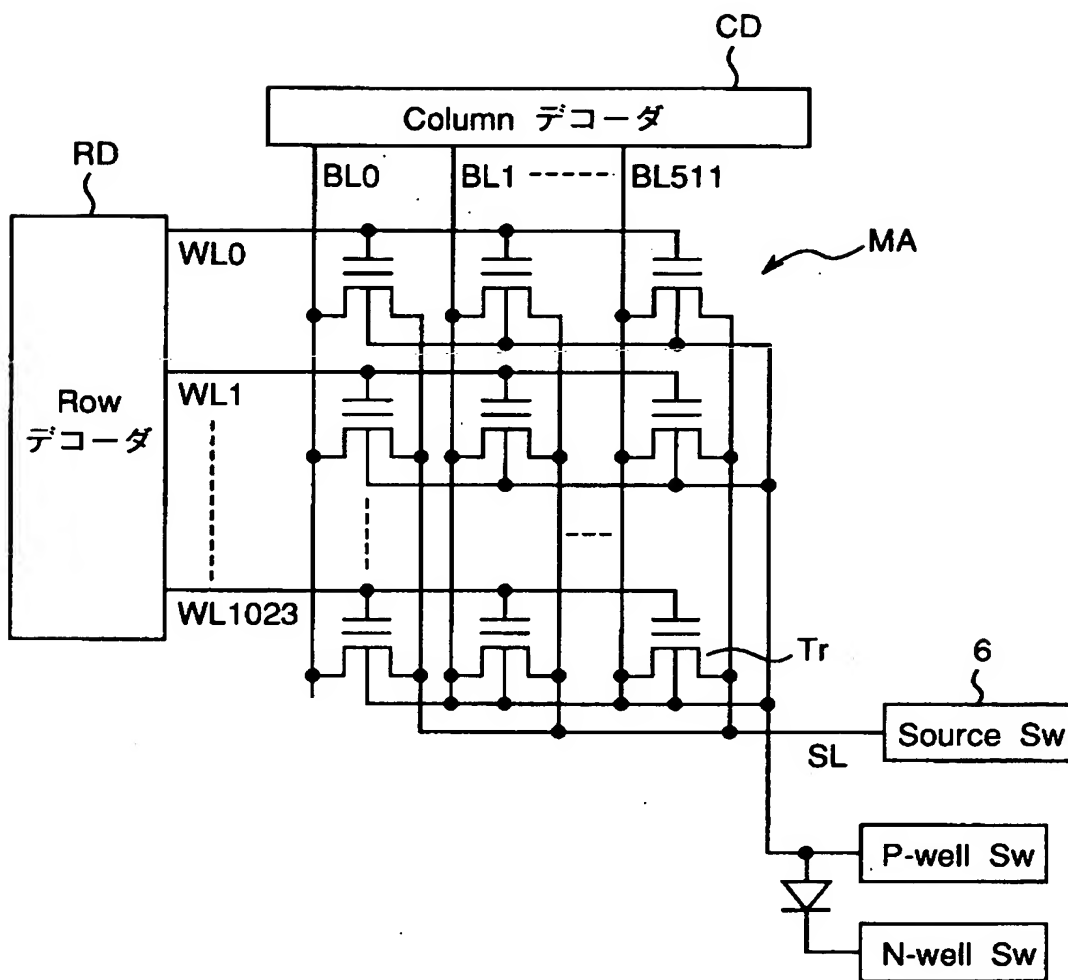
【図 1 4】 図 1 4 は上記従来の不揮発性半導体メモリ装置のワード線WLとP型ウエルとの等価回路図である。

【符号の説明】

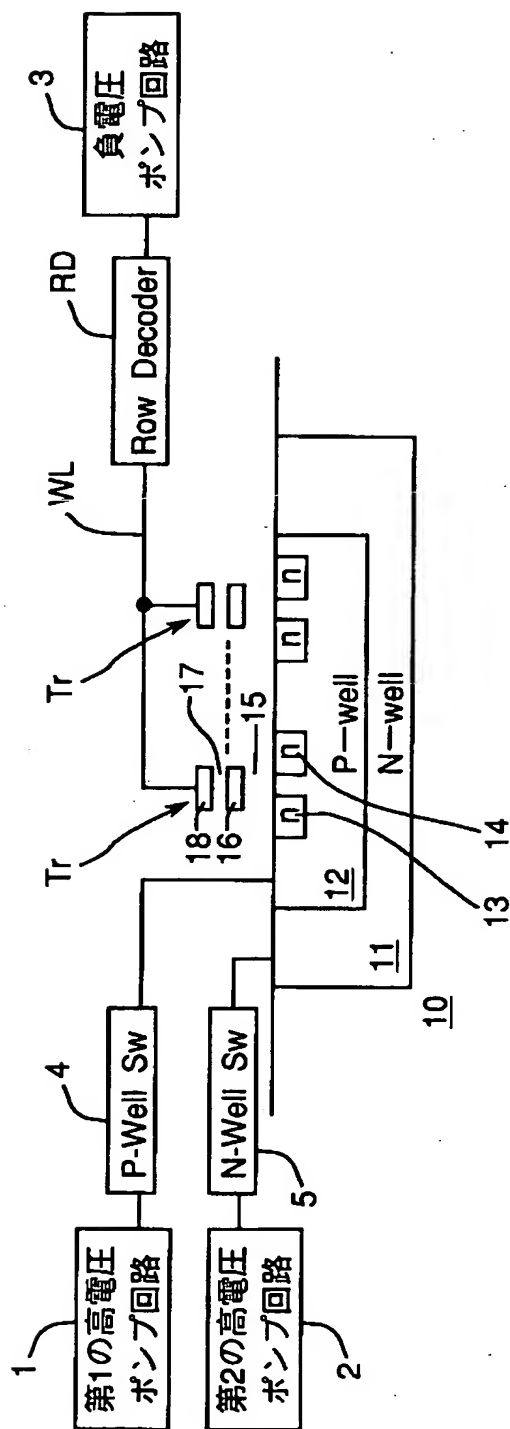
1	第 1 の高電圧ポンプ回路
2	第 2 の高電圧ポンプ回路
1 0	P 型半導体基板
1 . 1	N 型ウエル
1 2	P 型ウエル
1 3	ソース
1 4	ドレイン
1 5	トンネル酸化膜
1 6	浮遊ゲート
1 7	層間絶縁膜
1 8	制御ゲート
7 1 , 8 2	高電圧ポンプ回路
8 1	レギュレータ回路
MA	メモリセルアレイ
T r	浮遊ゲート型電界効果トランジスタ

【書類名】 図面

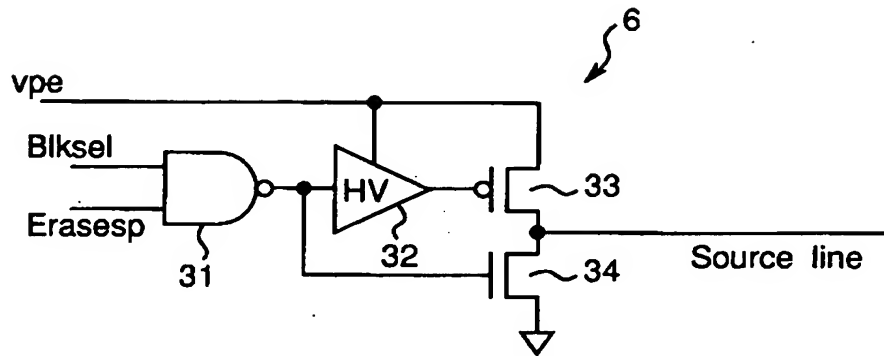
【図 1】



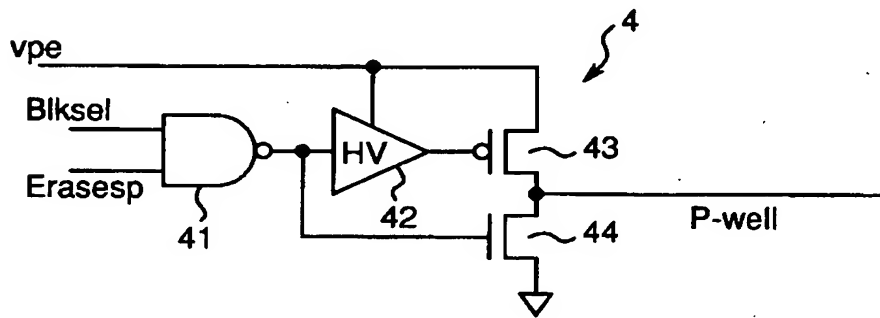
【図 2】



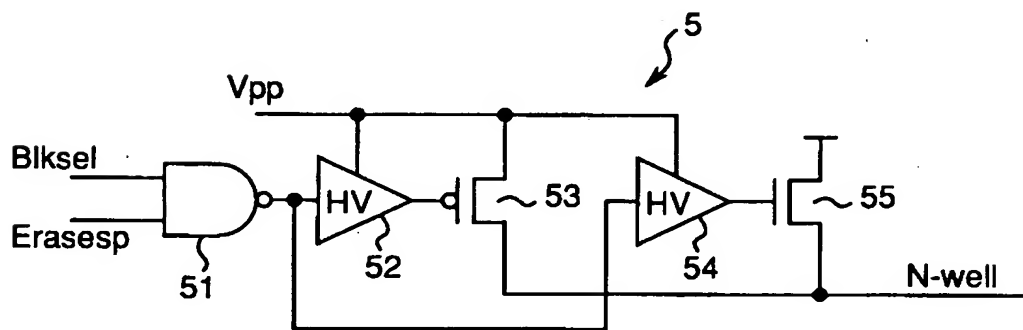
【図 3】



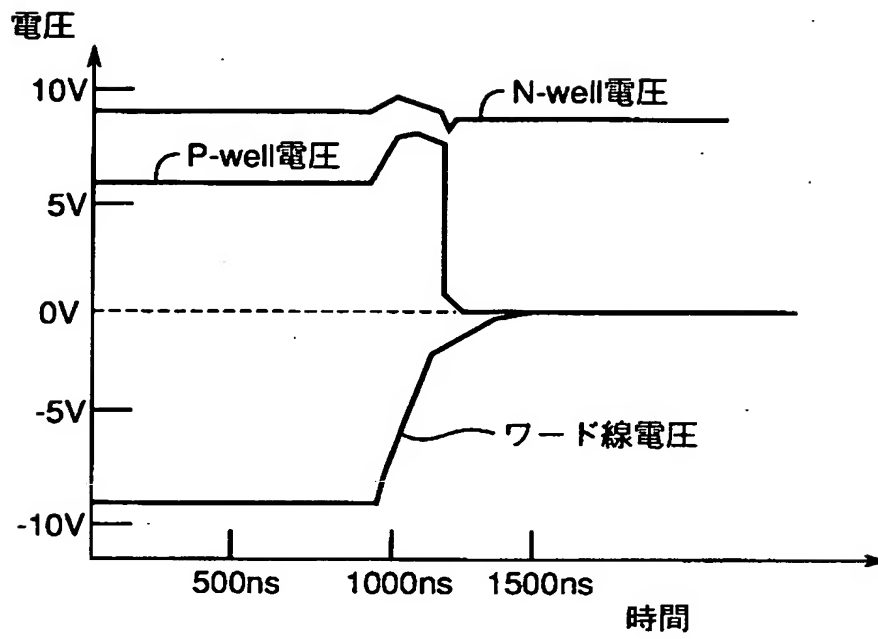
【図 4】



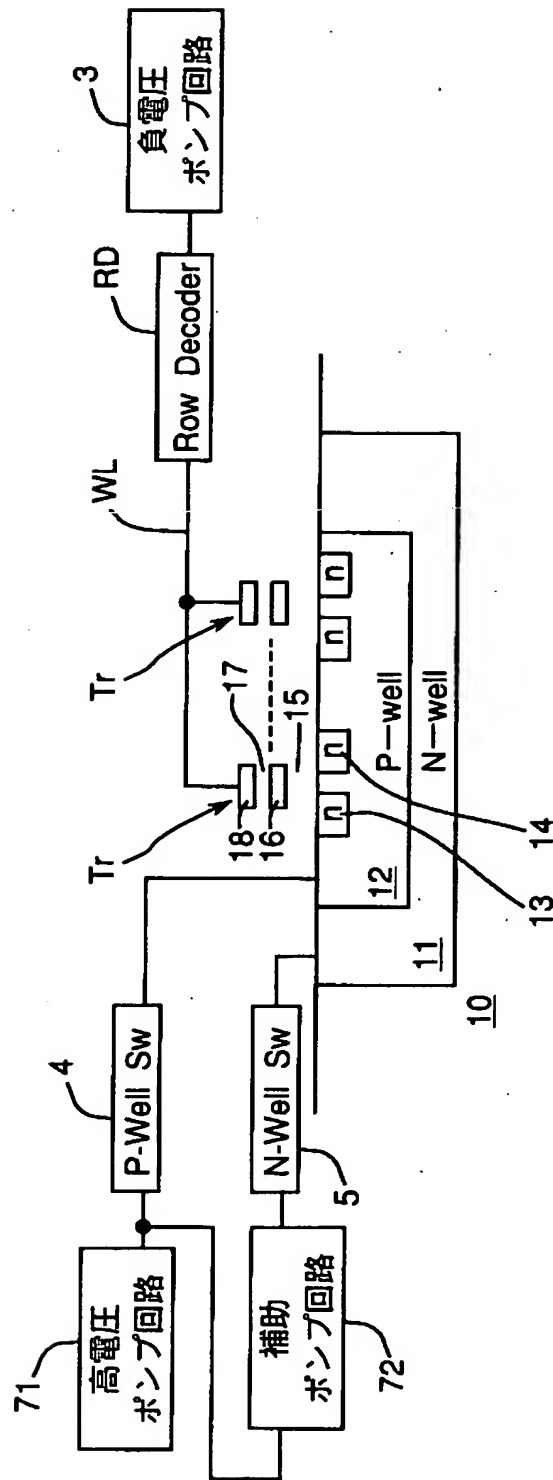
【図 5】



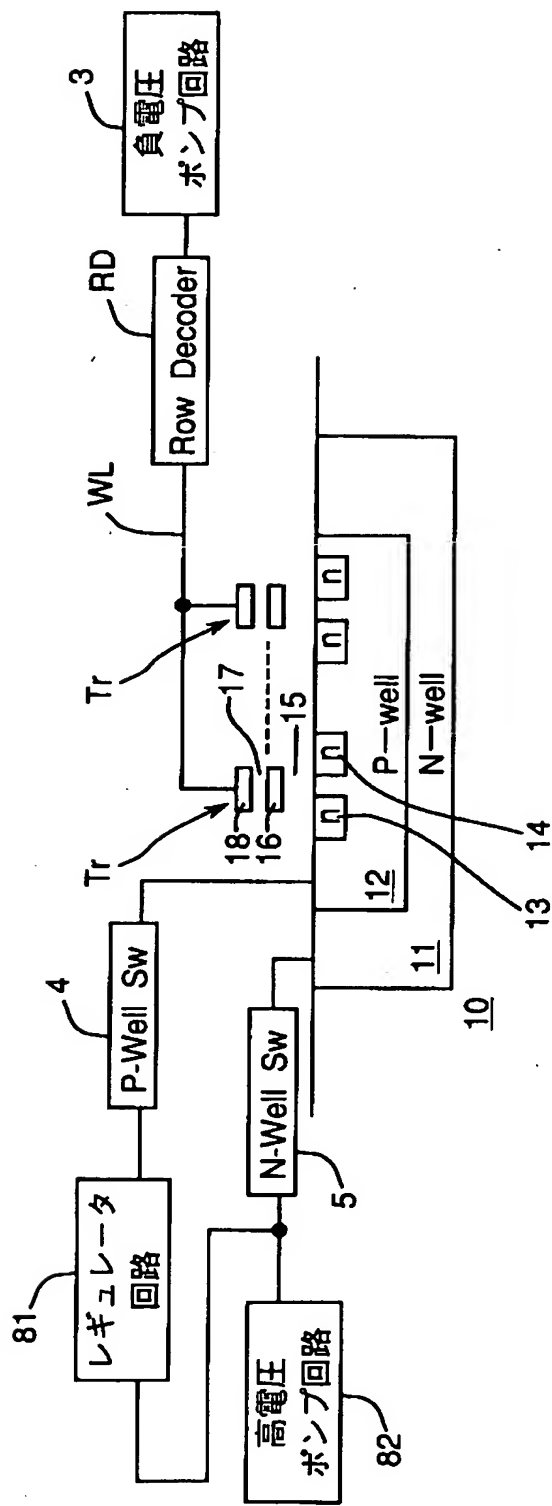
【図6】



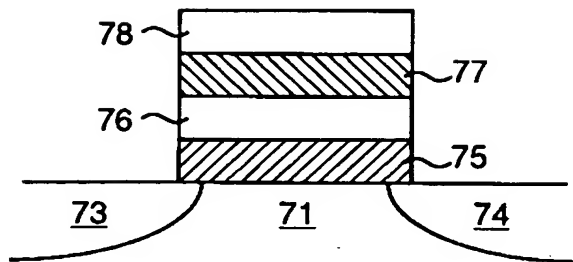
【図 7】



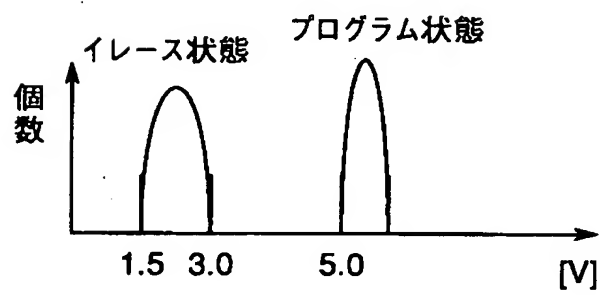
【図 8】



【図 9】

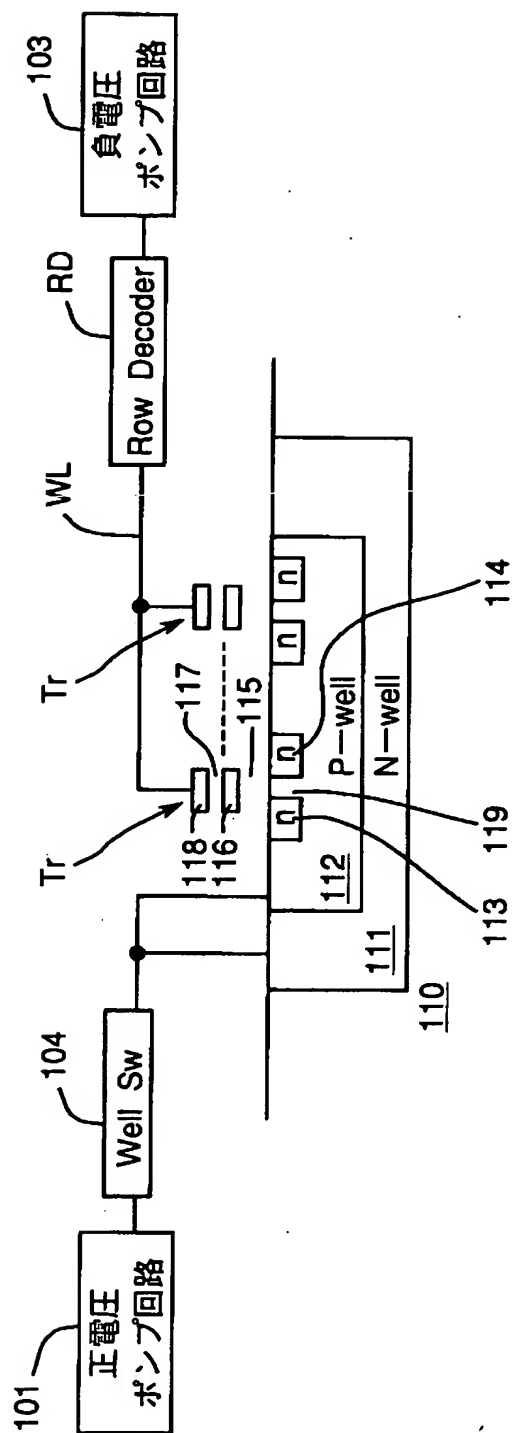


【図 1 0】

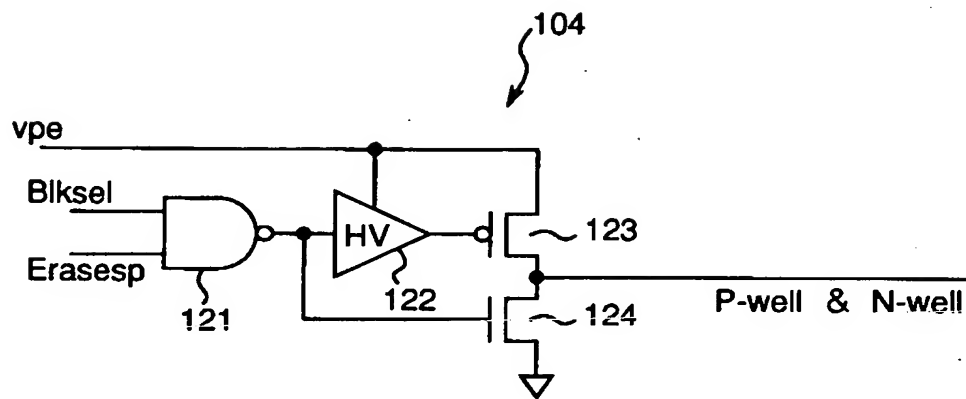




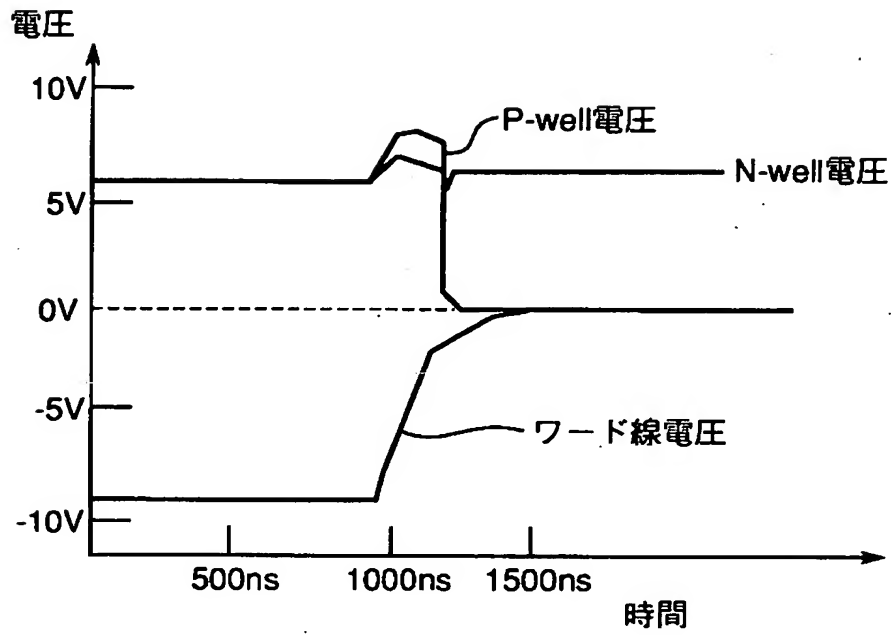
【図 1 1】



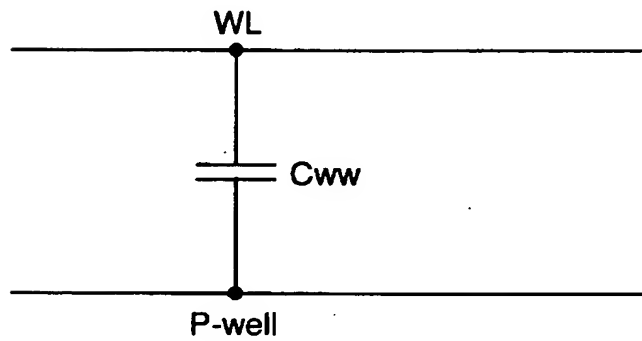
【図 12】



【図 1 3】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 ラッチアップの発生を阻止できる高信頼性の不揮発性半導体メモリ装置を提供する。

【解決手段】 メモリセルアレイには、ワード線とビット線とに接続された浮遊ゲート型電界効果トランジスタ $T_r$ をマトリクス状に配置している。浮遊ゲート型電界効果トランジスタ $T_r$ は、P型半導体基板10のN型ウェル内に設けられたP型ウェル内に形成されたソース13、ドレイン14と、ソース13、ドレイン14間上にトンネル酸化膜15を介して形成された浮遊ゲート16と、浮遊ゲート16上に層間絶縁膜17を介して形成された制御ゲート18とを有する。消去パルス印加時には、第1の高電圧ポンプ回路1を用いてP型ウェル12に6Vを印加すると共に、第2の高電圧ポンプ回路2を用いてN型ウェル11に9Vを印加する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区长池町22番22号

氏 名 シャープ株式会社